

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-238393

(43)Date of publication of application : 31.08.1999

(51)Int.Cl.

G11C 29/00
H01L 21/82

(21)Application number : 10-289680

(71)Applicant : SAMSUNG ELECTRONICS CO
LTD

(22)Date of filing : 12.10.1998

(72)Inventor : CHOI YONG-JIN

(30)Priority

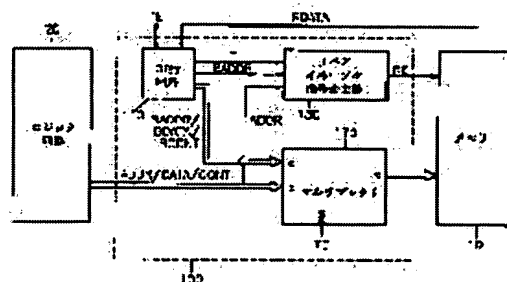
Priority number : 98 9803510 Priority date : 06.02.1998 Priority country : KR

(54) CIRCUIT AND METHOD FOR RELIEVING FAULT

(57)Abstract:

PROBLEM TO BE SOLVED: To deal with a change of a position of a fault cell by preserving a BIST(built-in self test) address as a repair address in response to an error signal occurring at a BIST mode time and outputting a repair enable signal to a redundant circuit in a memory when a logic address is equivalent to the repair address at a regular mode time.

SOLUTION: At the BIST mode time, a BIST circuit 110 executes a series of test operation, and when the fault cell exists in the memory 10, the circuit 110 preserves the BIST address BADDR equivalent to the fault cell in a repair enable signal generator 130. At a normal mode time, the repair enable signal generator 130 compares the address ADDR from the logic circuit 20 with the BIST address BADDR, and when they are the same, the generator 130 accesses a redundant cell in the memory cell 10, and when they are not the same, the generator 130 drives a normal cell in the memory 10. Thus, the fault cell is replaced to the redundant cell even in the packaged state.



LEGAL STATUS

[Date of request for examination] 05.08.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

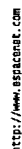
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(11)特許出願公開番号

(43)公開日 平成11年(1999)8月31日

R



【特許請求の範囲】

【請求項1】 メモリ回路とロジック回路とを1つのチップに搭載された複合メモリ装置の欠陥救済回路において、

BIST（組み込みセルフテスト）モードにおいて、前記メモリにデータを書込み、その書き込んだデータと前記メモリから読み出したデータとを比較してセルの良否を示すエラー信号とBISTアドレスを発生するBIST回路と、BISTモードにおいて、前記エラー信号にตอบสนองして前記BISTアドレスをリペアアドレスとして保存し、正常モードでは、前記ロジック回路から出力されるロジックアドレスと前記リペアアドレスとを比較して、前記ロジックアドレスが不良セルのアドレスに該当する場合に、前記メモリ内の冗長回路を駆動するリペアイネーブル信号を出力するリペアイネーブル信号発生器と、を備えることを特徴とするメモリ装置の欠陥救済回路。

【請求項2】 前記欠陥救済回路は、BISTモードでは、前記BIST回路から出力される情報信号を前記メモリに提供し、正常モードでは、前記ロジック回路から出力される情報信号を前記メモリに提供するマルチプレクサをさらに備えることを特徴とする請求項1に記載のメモリ装置の欠陥救済回路。

【請求項3】 前記リペアイネーブル信号発生器は、BISTモードにおいて、前記BIST回路からエラー信号及びBISTアドレスを入力して、前記エラー信号が活性化した場合に、該当するBISTアドレスをリペアアドレスとして保存するアドレス保存部と、正常モードにおいて、前記アドレス保存部に保存されたリペアアドレスと前記ロジック回路から入力されるロジックアドレスとを比較して、その結果をリペアイネーブル信号として出力する比較器と、を備えることを特徴とする請求項1に記載のメモリ装置の欠陥救済回路。

【請求項4】 前記アドレス保存部は、複数個のフリップフロップを備えることを特徴とする請求項3に記載のメモリ装置の欠陥救済回路。

【請求項5】 前記の各フリップフロップは、BISTアドレスを入力するデータ入力端と、前記エラー信号にตอบสนองしてフリップフロップを指定する信号を入力するクロック入力端と、前記クロック入力信号にตอบสนองして前記BISTアドレスをリペアアドレスとして出力するデータ出力端と、を備えることを特徴とする請求項4に記載のメモリ装置の欠陥救済回路。

【請求項6】 前記アドレス保存部は、連続して活性化するエラー信号をカウントして、そのカウント値に基づいて該当するフリップフロップを選択するクロック入力信号を発生するクロック入力信号発生回路をさらに備えることを特徴とする請求項5に記載のメモリ装置の欠陥救済回路。

【請求項7】 前記クロック入力信号発生回路は、クロック信号にตอบสนองして前記エラー信号を制御信号として出力するフリップフロップと、前記制御信号の立下がりエッジにตอบสนองして前記制御信号の数をカウントする n (n は自然数) ビットのカウンタと、前記 n ビットのカウンタから出力される n ビットの2進コードを入力して 2^n 個の情報を出力するデコーダと、前記フリップフロップから出力される制御信号を共通に入力すると共に、前記デコーダから出力される 2^n 個の出力信号をそれぞれ入力する 2^n 個の論理ゲートと、を備えることを特徴とする請求項6に記載のメモリ装置の欠陥救済回路。

【請求項8】 前記BIST回路は、パワーオンの都度、テストイネーブル信号を活性化させるテストモードイネーブル信号発生回路を備えることを特徴とする請求項1に記載のメモリ装置の欠陥救済回路。

【請求項9】 メモリ回路とロジック回路が1つのチップに搭載された複合メモリ装置の欠陥救済方法において、

(A) BISTモードにおいてメモリセルをテストしその良否を判定する段階と、

(B) テストしたメモリセルが不良である場合に、BIST回路で発生したアドレスをリペアアドレスとして保存する段階と、

(C) BISTモードの動作が完了してメモリ装置が通常モードで動作する時に、前記ロジック回路から出力されるロジックアドレスと前記リペアアドレスとを比較する段階と、

(D) 前記ロジックアドレスと前記リペアアドレスとが等しい場合に、前記メモリ内の冗長回路を駆動する段階と、を備えることを特徴とする欠陥救済方法。

【請求項10】 前記(A)段階は、メモリセルにデータを書き込み、その書き込んだデータを読み出す段階と、読み出したデータと書き込んだデータとを比較する段階と、を有することを特徴とする請求項9に記載の欠陥救済方法。

【請求項11】 前記(C)段階は、前記ロジック回路からロジックアドレスを出力する段階と、前記ロジックアドレスと前記リペアアドレスとを比較する段階と、を有することを特徴とする請求項9に記載の欠陥救済方法。

【請求項12】 前記BISTモードの動作は、メモリ装置を具備するシステムのパワーオンの都度実行されることを特徴とする請求項9に記載の欠陥救済方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、メモリ装置の欠陥救済回路及びこれを用いた欠陥救済方法に係り、特に、組込みセルフテスト (Built-In Self Test; 以下BIST) 回路を具備した欠陥救済回路及びこれを用いた欠陥救済方法に関する。

【0002】

【従来の技術】半導体メモリ装置は、データを記憶するための多数のメモリセルを有する。半導体メモリ装置は、最初に開発されて以来、目覚ましい発展を遂げ、現在では、256(MBit)の記憶容量を有する大容量の半導体メモリ装置が量産されている。メモリ装置を構成する多数のメモリセルのうち1つでも欠陥があればメモリ装置として適正に機能しないため、不良品として処理されるが、これはメモリ装置の収率を低下させることになる。このような問題を解決するために、現在のメモリ集積回路には冗長回路が備えられている。

【0003】一般に、冗長回路は、欠陥の生じたメモリセルを置換するための冗長メモリセルと、冗長メモリセルを駆動するための駆動ラインと、欠陥の生じたセルのアドレスが入力された時に冗長セル駆動ラインを選択するための冗長デコーダとを具備する。さらに、従来の冗長回路は、欠陥の生じたメモリセルのアドレスがアドレス入力端子を介して入力された時に冗長メモリセル駆動ラインをイネーブル状態にするヒューズからなる別途のヒューズボックスを備える。

【0004】従来の欠陥救済方法によれば、欠陥が生じ不良と判定されたメモリセルは、上記のように構成された冗長回路を介して良好な冗長セルに置換される。すなわち、ウェハ製造工程が終了した後、ウェハ状態でのテストにより不良であると判別されたメモリセルのアドレスは、冗長回路で実行されるプログラムによって冗長セルのアドレスに置換される。これにより、メモリ装置を実際に使用する際に、不良ラインに該当するアドレスが入力されると、これに代えて冗長ラインが選択される。

【0005】このように、欠陥セルが冗長メモリセルに置換することにより、半導体メモリ装置の収率を大幅に向上されることができる。

【0006】しかし、以上述べたような従来の通常の冗長回路は、ポリシリコンや金属からなるヒューズ切断工程において、不良のメモリセルを冗長セルに置換する。このように、ウェハ状態でレーザーを用いて不良の生じたラインと連結された特定ヒューズを切断することにより、不良が生じたラインが正常ラインから分離される。しかし、この方法は、ヒューズが一度切断されると、その状態が固定されるので、正常セルが不良セルに変化した場合に対処することができない。さらに、ウェハ状態でのみ欠陥の救済が可能であるため、パッケージされた後に生じ得る不良に対しては対応できないという問題が

ある。

【0007】

【発明が解決しようとする課題】本発明は、不良セルの位置の変更に対処することができ、例えば、パッケージされた状態においても不良メモリセルを冗長セルにより置換することが可能な複合メモリ装置の欠陥救済回路を提供することを目的とする。

【0008】また、本発明は、例えば、かかる欠陥救済回路を用いた欠陥救済方法を提供することを目的とする。

【0009】

【課題を解決するための手段】前記課題を達成するため、本発明に係る複合メモリ装置の欠陥救済回路は、BIST回路とリペアイネーブル信号発生器を有し、前記BIST回路は、BISTモードでセルの良否を示すエラー信号とBISTアドレスを発生すると共に、パワーオンの都度活性化される。前記リペアイネーブル信号発生器は、BISTモードにおいて、発生したエラー信号に応答して前記BISTアドレスをリペアイネーブル信号として保存すると共に、通常モードにおいて、ロジック回路から出力されるロジックアドレスと前記リペアイネーブル信号とを比較し、前記ロジックアドレスが不良セルのアドレスに該当する場合に、前記メモリ内の冗長回路を駆動するリペアイネーブル信号を出力する。

【0010】さらに、前記欠陥救済回路は、BISTモードでは、前記BIST回路から出力される情報信号を前記メモリに提供すると共に、正常モードでは、ロジック回路から出力される情報信号を前記メモリに提供するマルチプレクサをさらに具備してもよい。

【0011】前記リペアイネーブル信号発生器は、BISTモードにおいて、前記BIST回路からエラー信号とBISTアドレスを入力して、前記エラー信号が活性化した場合に、該当するBISTアドレスをリペアイネーブル信号として保存するアドレス保存部と、正常モードにおいて、前記アドレス保存部に保存されたりペアイネーブル信号とロジック回路から入力されるロジックアドレスとを比較して、その結果をリペアイネーブル信号として出力する比較器とを具備する。

【0012】前記アドレス保存部は、複数のフリップフロップを具備し、前記フリップフロップのそれぞれは、BISTアドレスを入力するデータ入力と、前記エラー信号に응答してフリップフロップを指定する信号を入力するクロック入力及び前記クロック入力信号に응答して前記データ入力に提供されるBISTアドレスを出力するデータ出力を具備する。

【0013】さらに、前記アドレス保存部は、連続して活性化するエラー信号をカウントして、そのカウント値に基づいて該当するフリップフロップを選択するクロック入力信号を発生すると共に、これを前記クロック入力に提供するクロック入力信号発生回路をさらに備え、前

記クロック入力信号発生回路は、クロック信号CLKにตอบสนองして前記エラー信号を制御信号として出力するフリップフロップと、前記制御信号の立下がりエッジにตอบสนองして前記制御信号の数をカウントするnビットカウンタと、前記カウンタから出力されるnビットの2進コードを入力して2ⁿ個の情報を出力するデコーダと、前記フリップフロップから出力される制御信号を共通に入力すると共に、前記デコーダから出力される2ⁿの出力信号をそれぞれ入力する2ⁿ個の論理ゲートを具備する。

【0014】前記他の課題を達成するため、本発明に係る複合メモリ装置の欠陥救済方法は、(A) BIST回路によりメモリセルをテストしその良否を判定し、(B) テストしたメモリセルが不良と判断した場合に、BIST回路で生じたアドレスをリペアアドレスとして保存した後に、(C) BIST動作が完了してメモリ装置が通常モードで動作する時に、ロジック回路から出力されたロジックアドレスと前記リペアアドレスとを比較して、(D) 前記ロジックアドレスと前記リペアアドレスが等しい場合に前記メモリ内の冗長回路を駆動する。

【0015】本発明によれば、パワーオンの都度、BIST動作を実行し、不良アドレスを保存するため、外部からの影響等によって不良セルが新しく生じた場合であっても、不良セルの位置をすぐに修正することができる。さらに、パッケージされた状態であっても不良メモリセルが救済できるため、コストを低減することができる。

【0016】

【発明の実施の形態】以下、添付の図面に基づいて本発明の好適な実施の形態を詳細に説明する。

【0017】図1は、本発明の好適な実施の形態に係る欠陥救済回路100を示すブロック図である。本発明の好適な実施の形態に係る欠陥救済回路100は、図1に示すように、BIST回路110と、リペアイネーブル信号発生器130と、マルチプレクサ170とを具備する。

【0018】BIST回路110は、BISTモードにおいて、例えば、外部又は内部の回路から入力されるテストイネーブル信号TEにตอบสนองして、メモリ10をテストするためのBIST情報信号、例えばBISTアドレスBADDR、テストデータBDATA及び制御信号BCONTを発生する。BIST回路110は、メモリ10の特定アドレスにテストデータBDATAを書込んだ後にこれを読み出して、書き込まれたテストデータBDATAと読み出されたテストデータRDATAとを比較する。BIST回路110は、読み出されたテストデータRDATAが書き込まれたデータBDATAと一致しない場合に所定のエラー信号Fを発生し、この時のBISTアドレスBADDRは、リペアイネーブル信号発生器130に対してリペアアドレスとして提供される。

【0019】本発明の好適な実施の形態によれば、上記のような一連のBIST動作は、パワーオン(power on)の都度実行される。このため、欠陥救済回路100は、例えば、ロジック回路20及びシステムのパワーオン回路によ

って制御されるテストイネーブル信号発生回路を備えることが好ましい。この一例が図3に示されている。

【0020】リペアイネーブル信号RE発生器130は、BISTモードにおいて、BIST回路110から供給されるエラー信号Fにตอบสนองして、不良であると判定されたリペアアドレスBADDRを保存する。また、リペアイネーブル信号RE発生器130は、正常モードにおいて、ロジック回路部20から出力されるロジック情報信号、例えばロジックアドレスADDR、データDATA及び制御信号CONTを入力すると共に、該ロジックアドレスADDRとBISTモード時に保存されたリペアアドレスBADDRを比較する。正常モードにおいて、入力されたロジックアドレスADDRとBISTモード時に保存されたリペアアドレスBADDRとが同一である場合、リペアイネーブル信号RE発生器130は、メモリ10内の冗長回路を駆動するリペアイネーブル信号REを発生する。

【0021】この実施の形態に係る冗長回路は、従来とは異なってヒューズを有しない。

【0022】マルチプレクサ170は、2つのデータ入力端a及びbと、出力端c及び選択信号入力端sを有し、選択信号入力端sには、テストイネーブル信号TEが入力される。従って、マルチプレクサ170は、テストイネーブル信号TEの状態に基づいて、2つのデータ入力端a及びbに入力されるデータのうち何れか一方を選択的に出力する。すなわち、マルチプレクサ170は、テストイネーブル信号TEが活性化するBISTモードでは、BIST回路110から供給される情報信号BADDR、BDATA、BCONTをメモリ10に提供し、テストイネーブル信号TEが非活性化する正常モードでは、ロジック回路20から供給される情報信号ADDR、DATA、CONTをメモリ10に提供する。

【0023】図2は、図1に示す欠陥救済回路100を用いた欠陥救済方法を示すフローチャートである。以下、図1及び図2を参照して、本発明の好適な実施の形態に係る欠陥救済方法を説明する。

【0024】まず、テストイネーブル信号TEが活性化されてメモリ装置10がBISTモードに移行すると(50)、BIST回路110は、一連のテスト動作(BIST動作)を実行する(52)。BIST動作は、図1に示すように、メモリ10をテストするためのBIST情報信号BADDR、BDATA及びBCONTを発生し、発生したBIST情報信号を用いてメモリセルにデータBDATAを書込んだ後にこれを読み出し、書き込んだデータBDATAと読み出したデータRDATAとを比較する動作を全メモリセルに関して繰り返す動作である。

【0025】次いで、BIST動作でテストされた各メモリセルに不良が存在するかどうかを判断する(54)。そして、テストされたメモリセルに不良が存在する場合には、不良セルに該当するBISTアドレスBADDRをリペアイネーブル信号発生器130内にリペアアドレスとして保存する(56)。

【0026】次いで、メモリ装置10が正常モードに移行すると(58)、ロジック回路20において正常動作のため

のロジック情報信号ADDR、DATA、CONTを発生する(60)。そして、ロジック回路20で生成されたアドレスADDRとリペアアドレスとして保存されたBISTアドレスBADDRをリペアイネーブル信号発生器130において比較し、2つのアドレスADDR、BADDRが同一であるかどうかを判断する(62)。2つのアドレスADDR、BADDRが同一であると判断した場合は、メモリ10内の冗長セル、例えば、冗長カラム選択ライン、冗長ワードライン等を駆動して冗長セルをアクセスし(64)、同一でないと判断した場合はメモリ10内の正常セルを駆動する(66)。

【0027】図3は、図1に示すBIST回路110を駆動する回路を概略的に示すブロック図である。図3に示すように、本発明の好適な実施の形態に係る欠陥救済回路(図1の100)は、ロジック回路20とパワーオン回路40により制御されて、テストイネーブル信号TEを発生するテストイネーブル信号発生回路30を具備することが好ましい。この実施の形態によれば、ロジック回路20とシステムのパワーオン回路40によりBIST回路110を駆動するテストイネーブル信号TEが発生される。従って、図1に示す欠陥救済回路100を備えるメモリ装置を搭載したシステムのパワーがオンされる都度、BIST動作が実行される。

【0028】図4は、図1に示すリペアイネーブル信号発生器130を概略的に示すブロック図である。図示のように、本発明の好適な実施の形態に係るリペアイネーブル信号発生器130は、アドレス保存部140と比較器160とを具備する。

【0029】アドレス保存部140は、BIST回路110からエラー信号FとBISTアドレスBADDRを入力すると共に、エラー信号Fが発生する都度、該当するBISTアドレスBADDRをリペアアドレスFA0~FA(2ⁿ-1)として保存する。

【0030】比較器160は、アドレス保存部140に保存されたリペアアドレスFA0~FA(2ⁿ-1)とロジック回路(図1における20)から入力されるロジックアドレスADDRとを比較して、その結果をリペアイネーブル信号REとして出力する。リペアイネーブル信号REは、リペアアドレスFA0~FA(2ⁿ-1)とロジックアドレスADDRとが同一である場合に活性化されてハイレベルになり、図1に示すメモリ内の10の冗長回路を駆動する。ここで、比較器160は、保存されるアドレスの個数(2ⁿ)と同一の個数(2ⁿ)の比較器(図示せず)で構成されることが好ましい。

【0031】図5は、図4に示すアドレス保存部140の好適な実施の形態を示すブロック図である。本発明の好適な実施の形態に係るアドレス保存部140は、複数のレジスタ142、144を具備する。レジスタ142、144は、図示のようにフリップフロップ、例えば入力値によって次の状態が決まるD型フリップフロップで構成することできる。各レジスタ142、144は、BIST回路(図1における110)から出力されるアドレスBADDRを構成するビット数m(mは自然数)と同一の個数のD型フリップフロップ

で構成されることが好ましい。レジスタ142、144を構成する各D型フリップフロップは、データ入力端DA、クロック入力端CLKA及びデータ出力端QAを有する。

【0032】データ入力端DAには、BISTアドレスBADDRの該当ビットが入力され、クロック入力端CLKAにはエラー信号が発生する都度、リペアアドレスを保存するレジスタを順に指定するための制御信号が入力される。データ出力QA端からは、クロック入力端CLKAに入力される制限信号にตอบสนองして、データ入力端DAに入力されるBISTアドレスBADDRの該当ビットが出力されるアドレス保存部140は、D型フリップフロップ142、144のクロック入力端CLKAに供給する信号を発生するクロック入力信号発生回路150を具備する。クロック入力信号発生回路150は、図示のように、フリップフロップ(例えばD型フリップフロップ)152、カウンタ154、デコーダ156、及び論理ゲート158、159を具備する。

【0033】フリップフロップ152は、データ入力端DB、クロック入力端CLKB、リセット入力端RST及びデータ出力端QBを有する。BIST回路(図1における110)から出力されるエラー信号Fは、データ入力端DBに供給される。また、クロック信号CLKは、クロック入力端CLKBに供給され、書き込み許可信号WEBは、リセット入力端RSTに供給される。

【0034】フリップフロップ152のデータ出力端QBは、クロック信号CLKにตอบสนองして、データ入力端DBに供給されるエラー信号Fを制御信号dFとして出力する。この制御信号dFは、論理ゲート158、159の第1の入力端に供給される。

【0035】カウンタ154は、例えば、クロック入力端CLKCを有するnビットの2進カウンタで構成されることが好ましく、フリップフロップ152から出力される制御信号dFがクロック入力端CLKCに供給される。

【0036】デコーダ156としては、例えば、カウンタ154から出力されるn(nは自然数)ビットの2進コードを入力して2ⁿ個の情報を出力d(0)~d(2ⁿ-1)する周知のデコーダが使用される。デコーダ156の出力d(0)~d(2ⁿ-1)は、論理ゲート158、159の第2の入力端に供給される。

【0037】論理ゲート158、159は、第1の入力端及び第2の入力端の他に出力端を有し、例えばANDゲートで構成される。第1の入力端と第2の入力端に供給される信号の双方がハイレベルの場合、論理ゲート158、159の出力はハイレベルとなる。すなわち、フリップフロップ152から発生される制御信号dFが活性化され、これによりデコーダ156の出力d(0)~d(2ⁿ-1)のいずれか1つが活性化されて論理ハイになると、論理ゲート158、159のいずれか1つが活性化される。

【0038】図示のように、デコーダ156の出力端d(0)~d(2ⁿ-1)の信号は、制御信号dFの立下がりエッジに同期して順に活性化されるので、論理ゲート158、1

59も順に活性化活性化される。論理ゲート158、159の出力、すなわち、クロック入力信号発生回路150の出力信号は、D型フリップフロップ142、144のクロック入力端CLKに供給される。

【0039】図6は、図1に示すBIST回路110及び図5に示すアドレス保存部140における信号のタイミング図である。なお、図6のタイミング図は、第1番目及び第3番目のアドレスに不良が生じた場合の例である。

【0040】図6に示すように、メモリ装置がBISTモードに移行してテストイネーブル信号TEが活性化されると、BIST回路110は、クロック信号CLKに同期して、ローアドレスストロブRASB信号、カラムアドレスストロブCASB信号、BISTアドレスBADDR（ローアドレスRADDRとカラムアドレスCADDR）を発生する。また、BIST回路110は、書き込み許可信号WEBをローに活性化し、テストデータBDATAを入力データDA0～DA2としてメモリ10に書き込むと共に、各書き込みの間に書き込み許可信号WEBをハイに比活性化し、書き込んだテストデータBDATAを出力データDA'0～DA'2として読み出す。書き込んだデータDA0～DA2と読み出したデータDA'0～DA'2とが異なる場合（DA0≠DA'0、DA2≠DA'2）は、BIST回路110は、エラー信号Fを論理ハイに遷移させる。

【0041】制御信号dFは、エラー信号Fの立上がりエッジに応答して論理ハイに遷移し、次いで、書き込み許可信号WEBがローに活性化されると論理ローに遷移する。図5に示すデコーダ156の第1の出力信号d(0)は、制御信号dFがローの最初の期間で論理ハイの状態を維持し、制御信号dFの立下がりエッジに応答して論理ローに遷移し、次いで、デコーダ156の第2の出力信号d(1)は、制御信号dFの立下がりエッジに応答して論理ローから論理ハイに遷移する。

【0042】図5に示すアドレス保存部140に入力されるBISTアドレスBADDR（ローアドレスRADDR及びカラムアドレスCADDR）は、デコーダ156の出力信号d(0)～d(2ⁿ-1)のいずれかがハイレベルを維持している状態で、制御信号dFが論理ローからハイに遷移すると、不良アドレスとして保存される。例えば、図6に示すように、デコーダの第1の出力信号d(0)がハイレベルを維持している時に、制御信号dFがハイに遷移すると、それに応答して、BISTアドレスBADDR、即ちローアドレス(Row Address 0)及び最初のカラムアドレスCA(0)がレジスタ142に取り込まれて、第1の不良アドレスFA(0)として継続して出力される。また、デコーダの第2の出力信号d(1)がハイレベルを維持している時に、制御信号dFがハイに遷移すると、それに応答して、BISTアドレスBADDR、即ちローアドレス(Row Address 0)及び第3番目のカラムア

ドレスCA(2)が次のレジスタに取り込まれて、第2の不良アドレスFA(1)として継続して出力される。

【0043】以上述べたように、本発明の好適な実施の形態によれば、パワーオンの都度、BIST動作を実行してメモリセルが正常に動作するか否か进行检查し、不良であると判定したアドレスをレジスタに保存する。そして、通常動作時は、保存した不良アドレスとアクセス用のアドレスとを比較して、該不良アドレスとアクセス用のアドレスとが同一である場合は、冗長回路を駆動して不良セルの代わりに冗長セルをアクセスする。従って、この実施の形態によれば、パワーオンの都度、BIST動作を実行して不良アドレスを保存するので、外部からの影響等により正常セルが不良セルに変化（例えば増加）した場合においても、不良セルを冗長セルで置換することができる。さらに、この実施の形態によれば、パッケージされた状態においても、不良メモリセルを冗長セルによって置換することができるため、製造コスト等を低減することができる。

【0044】以上、種々の特定の用語を用いて限定的な説明をしているが、これは本発明の好適な実施の形態を提供することを目的として使用したに過ぎず、特許請求の範囲に記載された発明の技術的範囲を制限する目的で使用したものではない。例えば、上記の詳細な説明においては、レジスタ142及び144をD型フリップフロップで構成した例を示しているが、実質的に同一の機能を奏する別の論理回路でこれを構成することもできる。結局、本発明に係る権利範囲は、特許請求の範囲の記載に基づいて定められるべきである。

【0045】

【発明の効果】本発明によれば、例えば、パッケージされた状態においても不良メモリセルを冗長セルにより置換することが可能となる。

【0046】

【図面の簡単な説明】

【図1】本発明の好適な実施の形態に係る欠陥救済回路を示すブロック図である。

【図2】図1に示す欠陥救済回路による欠陥救済方法を示すフローチャートである。

【図3】図1に示すBIST回路を駆動する回路を概略的に示すブロック図である。

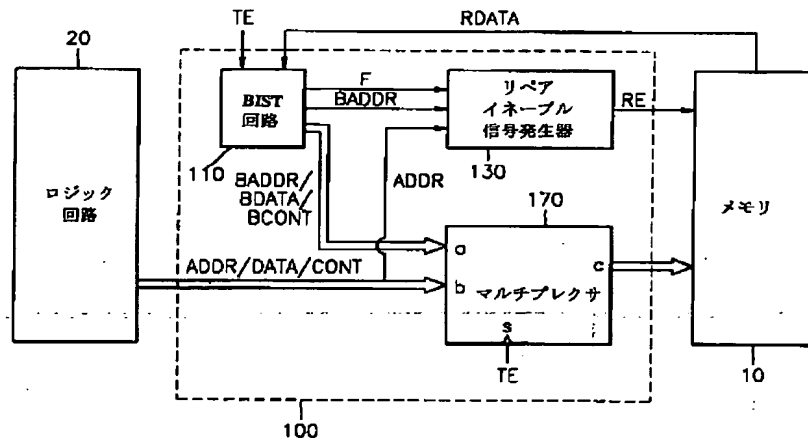
【図4】図1に示すリベアイネーブル信号発生器を概略的に示すブロック図である。

【図5】図4に示すアドレス保存部の実施の形態を示すブロック図である。

【図6】図1に示すBIST回路及び図5に示すアドレス保存部における信号のタイミング図である。

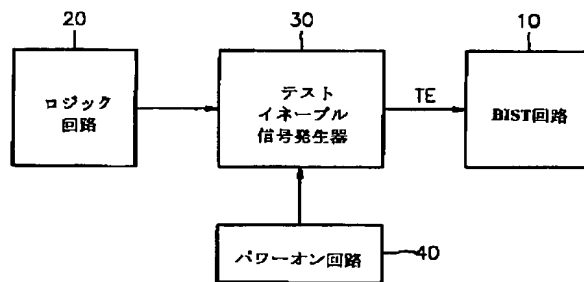
【図1】

【図1】

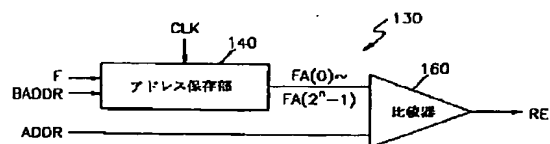


【図3】

【図3】

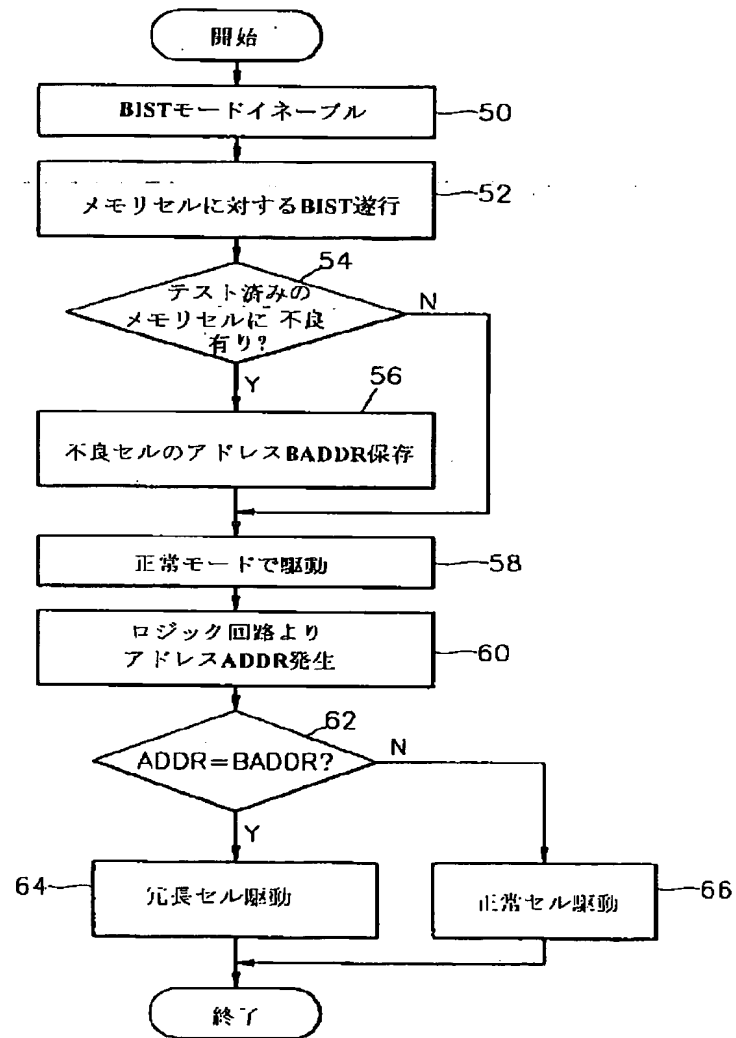


【図4】



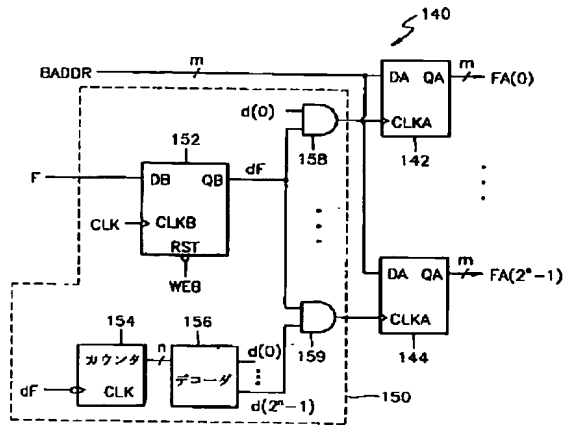
【図2】

[図 2]



【図5】

【図5】



【図6】

【図6】

